МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

КІРОВОГРАДСЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

Факультет комп’ютерно-технологічної інженерії

Кафедра програмного забезпечення

**‘‘МІКРОПРОСЕСОРНІ ВІС’’**

**Курс лекцій з дисципліни**

Для студентів денної та заочної форми навчання за напрямом

Підготовки 6ю050102 «Комп’ютерна інженерія»

|  |
| --- |
| ЗАТВЕРДЖЕНО |
| *На засіданні кафедри* |
| *Програмного забезпечення* |
| *Протокол № від* |

Кіровоград

2014

Мікропроцесорні ВІС. Конспект лекцій. Сидоренко В.В.,д-р фіз.

-мат. наук, професор,2011

Мікропроцесорні ВІС:Учбовий посібник призначений для студентів спеціальностей «Комп’ютерні системи і мережі», «Системне програмування».

Описані архітектура простішого мікропроцесору та сімейство інтегральних програмованих мікросистем; організація різних підсистем мікропроцесорних пристроїв і МП систем. Розглянуто програмування різних

операцій в системі команд процесора, приведені приклади програмування.

Підготовлено кафедрою програмного забезпечення

Кіровоградського національного технічного університету

Кіровоградський національній технічний університет, 2014

ЗМІСТ

Вступ

[*1.1 Функціональна система ЕОМ*](#_Toc105840541)

*2.1 Інтерфейс МП з пам’яттю…………………………………………………………………………………………*

*2.1.1 Інтерфейс МП з ПЗП…………………………………………………………………….*

*2.1.2 Інтерфейс МП з ОЗП…………………………………………………………………….*

*2.2 Взаємодія мікропроцесора з периферійними пристроями при вводі та виводі інформації…………………………………………………………………………………………*

*2.3 Стандартні прийоми програмування, які використовуються для вирішення інженерних задач………………………………………………………………………………..*

[3 Програмованний інтегрований таймер КР580ВІ53](#_Toc105840541)

[3.1 Принцип роботи таймера](#_Toc105840542)

[3.2 Блок схема таймера](#_Toc105840544)

[3.3 Принцип роботи](#_Toc105840547)

[3.4. Програмуваннятаймера](#_Toc105840548)

[3.5 Читання вмісту лічильника](#_Toc105840549)

[4. Програмуванний адаптер послідовного інтерфейсу](#_Toc105840541)

[4.1 Послідовні інтерфейси](#_Toc105840542)

[4.2 Програмування послідовного адаптера](#_Toc105840544)

[5 Програмуванний контролер переривань](#_Toc105840541)

[5.1 Призначення і структура](#_Toc105840542)

[5.2 Основні функцій контролера переривань](#_Toc105840544)

[5.3. Блок схема програмованого контролера переривань](#_Toc105840547)

[5.4. Принцип роботи контролера](#_Toc105840548)

[5.5 Програмування контролера](#_Toc105840549)

[5.5.1 Команди ініціалізації](#_Toc105840554)

[5.5.2 Робочі команди](#_Toc105840564)

[6.Програмовний паралельний інтерфейс вводу-виводу К580ВВ55](#_Toc105840541)

[7. Контролер прямого доступу до пам’яті](#_Toc105840542)

[7.1 Принципи роботи контролера ПДП](#_Toc105840544)

[7.2.Блок схема КПДП](#_Toc105840547)

[7.3. Опис внутрішніх регістрів КПДП](#_Toc105840548)

[7.4 Програмне керування контролером ПДП](#_Toc105840549)

[7.5. Програмна модель КПДП](#_Toc105840554)

[7.6. Програмування КПДП](#_Toc105840564)